

Original document

# SEMICONDUCTOR LIGHT RECEIVING ELEMENT

Publication number: JP2002203981

Publication date: 2002-07-19

Inventor: YASUDA TAKANORI

Applicant: KYOCERA CORP

Classification:

- international: H01L31/10; H01L31/10; H01L31/10; H01L31/10; (IPC1-7): H01L31/10

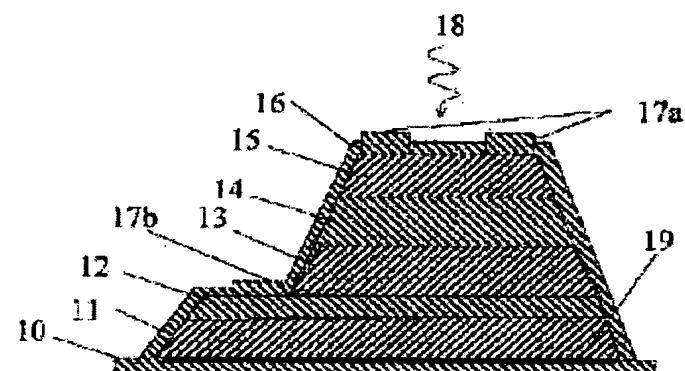
- European:

Application number: JP20000400052 20001228

Priority number(s): JP20000400052 20001228

[View INPADOC patent family](#)[View list of citing documents](#)[Report a data error here](#)**Abstract of JP2002203981**

**PROBLEM TO BE SOLVED:** To provide a semiconductor light receiving element in which carriers excited to the level of crystal defect in the heterointerface of lattice mismatch are not trapped but can migrate smoothly and can respond quickly, a recombination current caused by the level of crystal defect, i.e., a dark current in applying a reverse bias voltage, is reduced and noise of the element is suppressed. **SOLUTION:** The semiconductor light receiving element comprises a first conductivity type buffer layer 11 having a lattice constant different from that of a substrate 10, a first conductivity type semiconductor layer 12, a light absorbing layer 13 of semiinsulating semiconductor layer, a reverse conductivity type semiconductor layer 14, and an ohmic contact layer 15 formed sequentially on the substrate 10, an insulating film 16 formed on the side face and the surface of the element, first electrodes 17a of ohmic contact and a second electrode 17b of ohmic contact partially exposed to have a step formed, respectively, above the ohmic contact layer 15 and beneath the substrate 10.

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-203981

(P2002-203981A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51)Int.Cl.<sup>7</sup>

H 01 L 31/10

識別記号

F I

H 01 L 31/10

テーマコード(参考)

H 5 F 0 4 9

審査請求 未請求 請求項の数1 O.L (全5頁)

(21)出願番号 特願2000-400052(P2000-400052)

(22)出願日 平成12年12月28日 (2000.12.28)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72)発明者 安田 隆則

鹿児島県姶良郡隼人町内999番地3 京セラ株式会社鹿児島隼人工場内

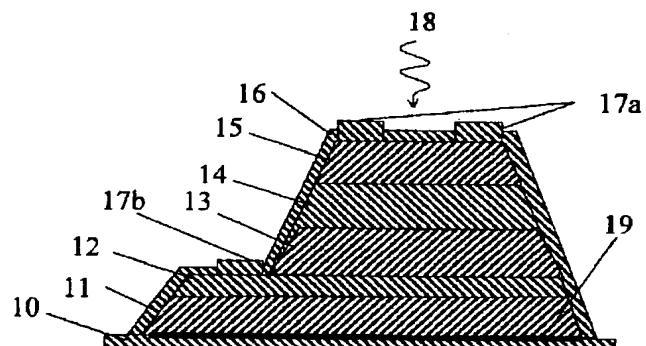
Fターム(参考) 5F049 MA04 MB07 NA05 NB01 PA15  
QA02 SS03 SS04

(54)【発明の名称】 半導体受光素子

(57)【要約】

【課題】格子不整合のヘテロ界面での結晶欠陥による準位に励起されたキャリアがトラップされることなく、円滑に移動ができる高速応答ができ、結晶欠陥による準位に起因する再結合電流、すなわち逆バイアス電圧を印加したときの暗電流を低減させ、素子の雑音を抑えた半導体受光素子を提供する。

【解決手段】基板10と異なる格子定数の一導電型を呈するバッファ層11、一導電型を呈する半導体層12、半絶縁性を呈する半導体層からなる光吸収層13、逆導電型を呈する半導体層14、オーミックコンタクト層15を形成し、素子の側面と表面上に絶縁膜16を設け、基板10の下、およびオーミックコンタクト層15の上にそれぞれオーミック接点の第一の電極17a、その一部が露出して段差を持ち、かつオーミック接点の第二の電極17bを有する半導体受光素子。



## 【特許請求の範囲】

【請求項1】半導体基板上に、この半導体基板と異なる格子定数の一導電型を呈する半導体層、半導体からなる光吸收層、逆導電型を呈する半導体層、オーミック接点の第一の電極とを順次形成し、前記一導電型を呈する半導体層を延在し、その露出部の上にオーミック接点の第二の電極を形成したことを特徴とする半導体受光素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体受光素子に関し、特に光ファイバー通信などを使用し得る半導体受光素子に関するものである。

## 【0002】

【従来の技術】従来の半導体受光素子を図2と図3に示す断面図でもって説明する。図2はInP基板上のInGaAs層を形成してなる半導体受光素子であり、図3はSi基板上のGaAs層を形成してなる半導体受光素子である。

【0003】図2に示す半導体受光素子においては、20はn型のInP基板であり、このInP基板20上にn型のInPバッファ層21、n型のInP層22、p型のInGaAs光吸收層23、p型のInP窓層24が順次形成され、p型のInP窓層24の表面上にp側電極27aを設けている。さらにInP基板21の裏面にn側電極27bを設け、素子全体に絶縁膜26を設けた構造となっている。

【0004】かかるInGaAs半導体発光素子によれば、バッファ層21にはn型不純物が $1 \times 10^{17} \sim 10^{19}$  atoms/cm<sup>3</sup>程度の比較的高濃度にて添加され、InP層22にはn型不純物が $1 \times 10^{17} \sim 10^{19}$  atoms/cm<sup>3</sup>程度の比較的高濃度にて添加されている。

【0005】光吸收層23は不純物を含有しないノンドープであるが、実際には不純物が $5 \times 10^{15}$  atoms/cm<sup>3</sup>程度の低濃度のn型になっている。窓層24は不純物が $1 \times 10^{17} \sim 10^{19}$  atoms/cm<sup>3</sup>程度のp型になっている。ここでp側電極27aとn型電極27bから逆バイアス電圧を印加して光吸收層23を空乏化する。

【0006】このような構成において、入射光28が入射すると、光吸收層23で励起されたキャリアは光吸收層23にかかっている高電界によって加速され、短い時間でn型InPバッファ層21、もしくはp型のInP窓層24に移動して高速応答を実現することができる。

【0007】また、受光素子の周波数特性は素子のCR時定数に依存しており、CR時定数が小さいほど、周波数帯域が広くなる。

【0008】そこで、素子をエッチングすることで、光吸收層と窓層の一部を除去し、段差電極を取ることによりpn接合部の接合面積(接合容量)を小さくし、素子の周波数帯域を広くしている(特開平1-244670号参照)。

【0009】図3に示す半導体受光素子については、30はn型のSi基板であり、このSi基板30上にn型のGaAsバッファ層31、n型のGaAs層32、p型のGaAs光吸收層33、p

型のAlGaAs窓層34、p型のGaAsオーミックコンタクト層35が順次形成され、このp型のGaAsオーミックコンタクト層35の表面上にp側電極37aを設けている。また、Si基板31の裏面にn側電極37bを設け、さらに素子全体に絶縁膜36を設けた構造となっている。

【0010】かかる構成のGaAs半導体発光素子においては、バッファ層31は、n型不純物が $1 \times 10^{18}$  atoms/cm<sup>3</sup>程度の比較的高濃度にて添加されている。GaAs層32は、n型不純物が $1 \times 10^{18}$  atoms/cm<sup>3</sup>程度の比較的高濃度にて添加されている。

【0011】光吸收層33は不純物を含有しないノンドープであるが、実際には不純物が $8 \times 10^{13}$  atoms/cm<sup>3</sup>程度の低濃度のn型になっている。窓層34は不純物が $1 \times 10^{18}$  atoms/cm<sup>3</sup>程度のp型になっている。

【0012】オーミックコンタクト層35はp型不純物が $1 \times 10^{18}$  atoms/cm<sup>3</sup>程度の比較的高濃度にて添加されている。

【0013】そして、前述のInGaAs半導体受光素子と同様に、p側電極37aとn型電極37bから逆バイアス電圧を印加して光吸收層33を空乏化し、このような状態で入射光38が入射すると、光吸收層33で励起されたキャリアは光吸收層33にかかっている高電界によって加速され、n型GaAsバッファ層31、もしくはp型のAlGaAs窓層34に移動する。

## 【0014】

【発明が解決しようとする課題】図2に示すInGaAs半導体受光素子については、n型のInP基板20上にn型のInPバッファ層21が成長したホモ界面なので比較的結晶性が良好であり、光吸收層23で励起されたキャリアは光吸收層23からInPバッファ層21、InP基板20へ高速移動される。

【0015】しかしながら、図3に示すGaAs半導体受光素子では、n型のSi基板30上に格子定数が約4%異なるn型のGaAsバッファ層32を成長させたことで、ヘテロ界面39を有し、そのために、光吸收層33で励起されたキャリアは、このヘテロ界面39において格子定数の違いから結晶欠陥が生じる。

【0016】よって、この結晶欠陥の準位に励起されたキャリアはトラップされ、キャリアの移動度が悪くなり、ライフトIMEが短くなる。その結果、円滑にSi基板30へ移動しなくなり、素子の応答時間が長くなるという課題がある。

【0017】また、結晶欠陥による準位に起因する再結合電流、すなわち逆バイアス電圧を印加したときの暗電流が大きくなり、素子に雑音が生じていた。

【0018】また、特開平1-244670号に示すように、素子をエッチングにより、光吸收層と窓層の一部を除去し、それによって形成される段差に対し電極を設けることで、素子の周波数特性は改善されるが、その反面、高速応答性については改善されなかった。

【0019】したがって本発明の目的は叙上に鑑みて完成されたものであり、その目的は格子不整合のヘテロ界面での結晶欠陥による準位に励起されたキャリアがトラップされることなく、円滑に移動ができ、これによって高速応答を実現した高性能な半導体受光素子を提供することにある。

【0020】また、本発明の他の目的は、結晶欠陥による準位に起因する再結合電流、すなわち逆バイアス電圧を印加したときの暗電流を低減させ、素子の雑音を抑えた半導体受光素子を提供することにある。

#### 【0021】

【課題を解決するための手段】本発明の半導体受光素子は、半導体基板上に、この半導体基板と異なる格子定数の一導電型を呈する半導体層、半導体からなる光吸收層、逆導電型を呈する半導体層、オーミック接点の第一の電極とを順次形成し、前記一導電型を呈する半導体層を延在し、その露出部の上にオーミック接点の第二の電極を形成したことを特徴とする。

【0022】たとえば、半導体基板にSi基板あるいはGaAs基板を用いた場合には、光吸收層はIn<sub>x</sub> Ga<sub>1-x</sub> As(0x1)にて形成するとよい。

【0023】また、半導体基板にSi基板を用いた場合には、光吸收層はIn<sub>x</sub> Ga<sub>1-x</sub> As(0x1)にて形成するとよい。

#### 【0024】

【発明の実施の形態】以下、本発明を図1により詳細に説明する。同図は本発明の半導体受光素子の一実施形態を示す概略断面図である。この半導体受光素子をGaAs系pinフォトダイオードでもって例示する。

【0025】本発明の半導体発光素子において、10は電気的に半絶縁性の半導体基板（以下、基板と称する）であり、この基板10の上に一導電型を呈するバッファ層11、一導電型を呈する半導体層12、半導体からなる光吸收層13、逆導電型半導体を呈する窓層14、オーミックコンタクト層15を順次形成する。

【0026】そして、この形成において、バッファ層11と半導体層12を延在し、その露出部を設ける。

【0027】さらに素子の側面と表面上に絶縁膜16を設け、一部露出した一導電型を呈する半導体層12およびオーミックコンタクト層15の上にそれぞれn側電極17bとp側電極17a設けている。

【0028】基板10が半導体基板である場合には、電気的に半絶縁性のシリコン(Si)の単結晶半導体基板を用いる。

【0029】単結晶半導体基板は(100)面を<011>方向に2~7°オフさせた基板などが好適である。

【0030】バッファ層11はガリウム砒素(GaAs)から形成され、2~3μm程度の厚みである。バッファ層11はその上に形成される半導体層12との格子不整合からなるミスフィット転位を防止したり、もしくは低減させるものであり、半導体不純物を含有しなくてもよい。

【0031】半導体層12はガリウム砒素(GaAs)からなり、一導電型不純物(Si等)を1×10<sup>17</sup>~10<sup>19</sup> atoms/cm<sup>3</sup>程度含有させ、そして、0.2~0.5μm程度の厚みに形成する。

【0032】光吸收層13はガリウム砒素(GaAs)からなり、不純物を含有しないノンドープであるが、実際には一導電型不純物(Si等)を8×10<sup>14</sup> atoms/cm<sup>3</sup>程度含有しており、1.8~2μm程度の厚みである。

【0033】逆導電型半導体を呈する窓層14はアルミニウムガリウム砒素(AlGaAs)から形成され、亜鉛(Zn)の逆導電型半導体不純物を1×10<sup>17</sup>~10<sup>19</sup> atoms/cm<sup>3</sup>程度含有し、0.1~0.2μm程度の厚みである。

【0034】オーミックコンタクト層15はガリウム砒素(GaAs)から形成され、亜鉛(Zn)などの逆導電型半導体不純物を1×10<sup>19</sup>~10<sup>20</sup> atoms/cm<sup>3</sup>程度含有し、0.01~0.3μm程度の厚みである。

【0035】絶縁膜16は窒化シリコン(SiNx)などから形成され、3000Å程度の厚みである。

【0036】P側電極17a、n側電極17bは金/金・ゲルマニウム(Au/AuGe)などから形成され、厚み1μm程度である。

【0037】かくして上記構成の半導体受光素子においては、その一部が露出して段差を持ち、その露出面にn側電極17bを形成したことで、逆バイアス電圧を印加することで、格子不整合のヘテロ界面19での結晶欠陥による準位に励起されたキャリアがトラップされることなく、円滑に移動ができ、高速応答が実現できた。

【0038】さらに本発明によれば、結晶欠陥による準位に起因する再結合電流、すなわち逆バイアス電圧を印加したときの暗電流を低減させ、素子の雑音を抑えることができた。

【0039】本発明者が繰り返しおこなった実験によれば、半導体基板がSi基板またはGaAs基板の場合には、光吸收層がIn<sub>x</sub> Ga<sub>1-x</sub> As(0x1)からなる半導体受光素子がもっとも効果的であり、半導体基板がSi基板であって、光吸收層がGa<sub>x</sub> As<sub>1-x</sub> (0x1)からなる半導体受光素子において、もっとも効果的であることを確認した。

【0040】（本発明の半導体発光素子の製法）つぎに本発明の半導体受光素子の製造方法を説明する。この製法にはMOCVD法を用いる。

【0041】基板10を水素(H<sub>2</sub>)とアルシンガス(AsH<sub>3</sub>)雰囲気中で700°C~1000°Cまで昇温し、基板10の表面上の酸化物を除去する。

【0042】ついで、基板温度500°C~800°Cにしてトリメチルガリウム(以下、TMGと略記する)とアルシンガス(AsH<sub>3</sub>)とシランガス(SiH<sub>4</sub>)をドーパントガスとして供給してバッファ層12を2~3μmの厚みにて形成する。

【0043】その形成後、格子不整合から生じる応力を緩和するために、TMGの供給を停止し、水素ガスとアルシンガスのみを供給しながら300°Cから850°Cまでの熱

サイクルを3回行い、転位密度(結晶欠陥)を緩和する。  
【0044】つぎに原料ガスとしてTMG、トリメチルアルミニウム(以下、TMAと略記する)、アルシンガス( $AsH_3$ )およびドーパントガスとしてシランガス( $SiH_4$ )を用いて、一導電型の半導体層12を0.2~0.5  $\mu m$ の厚みにて形成する。

【0045】そして、光吸收層13はTMG、TMA、アルシンガス( $AsH_3$ )を用いて、半導体不純物を含有しないガリウム砒素(GaAs)からなる半絶縁性を呈する光吸收層13を1.8~2  $\mu m$ の厚みにて形成する。

【0046】その後、ジメチル亜鉛(以下、DMZと略記する)をドーパントガスとして、アルミニウムガリウム砒素(AlGaAs)からなる逆導電型半導体を呈する窓層14を0.1~0.2  $\mu m$ の厚みで形成する。

【0047】つぎに、TMG、TMA、アルシンガス( $AsH_3$ )、ガリウム砒素(GaAs)、ドーパントガスとしてDMZを用い、ガリウム砒素(GaAs)からなるオーミックコンタクト層15を形成する。

【0048】このような成長の後の結晶は硫酸過酸化水素系のエッティング液を用いてメサ構造を形成する。さらに一導電型を呈する半導体層12の一部が露出するよう、同じく硫酸過酸化水素系のエッティング液を用いてエッティングを行なう。

【0049】その後、プラズマCVD法でシランガス( $SiH_4$ )とアンモニア( $NH_3$ )を用いて窒化シリコン( $SiNx$ )からなる絶縁膜16を形成する。

【0050】しかる後、蒸着法やスパッタリング法を用いて金・ゲルマニウム(AuGe)などにより電極17a、17bを形成する。

#### 【0051】

【実施例】上記の製造方法でGaAs半導体受光素子を形成した。基板10は(100)面を<011>方向に2°のオフアングルの付いたSi基板を用いた。一導電型を呈する半導体層12は膜厚0.5mmのGaAs層、光吸收層13は膜厚2.0mmのGaAs層、逆導電型半導体を呈する窓層14は膜厚0.3mmのGaAs層、オーミックコンタクト層15は膜厚0.24mmのGaAs層にて形成した。ここで、バッファ層11をGaAs層で形成を行ったとき、その膜厚に対する転位密度(EPD)と、その転位密度に対する電子移動度の関係はそれぞれ図4、図5の関係になる。

【0052】図4から明かなどおり、転位密度は、ヘテロ界面19近傍の値( $6.0 \times 10^7 \text{ cm}^{-2}$ )に対し、GaAsバッファ層11とGaAs半導体層12の界面の値( $5.0 \times 10^6 \text{ cm}^{-2}$ )は1桁小さくなっていることがわかる。

【0053】また、図5にて示されるように、これらの転位密度に対する電子移動度はそれぞれ約 $5800 \text{ cm}^2/\text{V}\cdot\text{s}$ 、約 $4000 \text{ cm}^2/\text{V}\cdot\text{s}$ である。

【0054】かくして転位密度が小さくなることにより、結晶欠陥の準位による再結合電流に起因するキャリア数は低減され、それに起因するヘテロ界面19を介さず

に逆バイアスを印可したときの暗電流を低減することができた。

【0055】また、光吸收層13で励起されたキャリアはヘテロ界面19を介さない電極の構造を取ることによりキャリアの移動が円滑にでき、高速応答が実現できた。

#### 【0056】

【発明の効果】以上のとおり、本発明の半導体受光素子によれば、半導体基板上に、この半導体基板と異なる格子定数の一導電型を呈する半導体層、半絶縁性を呈する半導体層からなる光吸收層、逆導電型を呈する半導体層、オーミック接点の第一の電極を設けたもので、その一部が露出して段差を持ち、かつオーミック接点の第二の電極を有することで、格子不整合のヘテロ界面での結晶欠陥による準位に励起されたキャリアがトラップされることなく、円滑に移動ができる高速応答が実現できた。

【0057】また、結晶欠陥による準位に起因する再結合電流、すなわち逆バイアス電圧を印加したときの暗電流を低減させ、素子の雑音を抑えた半導体受光素子を提供できた。

【0058】さらにまた、半導体基板がSi基板またはGaAs基板の場合には、光吸收層が $In_xGa_{1-x}As(0x1)$ からなる半導体受光素子がもっとも効果的であり、半導体基板がSi基板であって、光吸收層が $Ga_xAs_{1-x}(0x1)$ からなる半導体受光素子において、かかる発明の効果がもっとも顕著になった。

#### 【図面の簡単な説明】

【図1】本発明の半導体受光素子の一実施形態を示す断面図である。

【図2】従来の半導体受光素子の実施形態を示す断面図である。

【図3】従来の半導体受光素子の実施形態を示す断面図である。

【図4】バッファ層の膜厚とEPD(転位密度)の関係を示す線図である。

【図5】EPD(転位密度)と移動度の関係を示す線図である。

#### 【符号の説明】

10···半絶縁性の半導体基板

11···一導電型を呈するバッファ層

12···一導電型を呈する半導体層

13···光吸收層

14···逆導電型半導体を呈する窓層

15···オーミックコンタクト層

16···絶縁膜

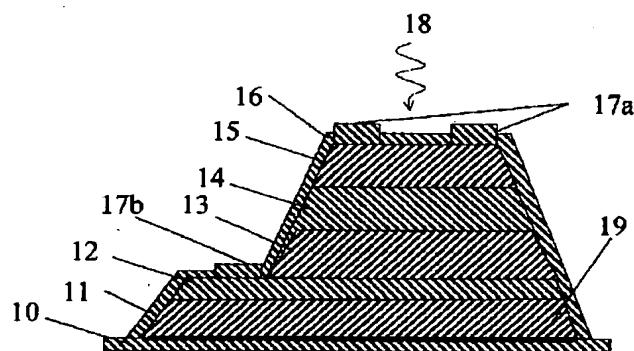
17a···p側電極

17b···n側電極

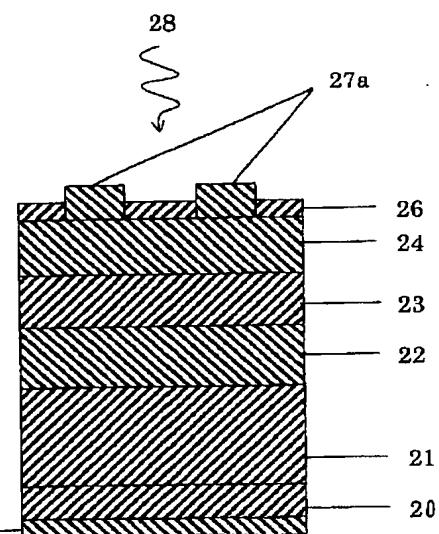
18···入射光

19···ヘテロ界面

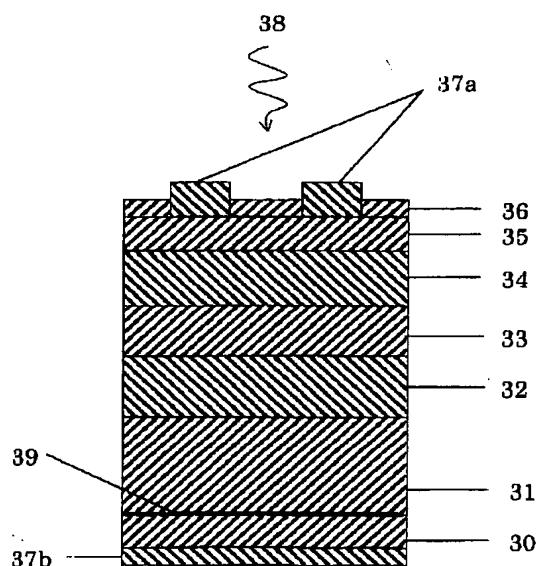
【図1】



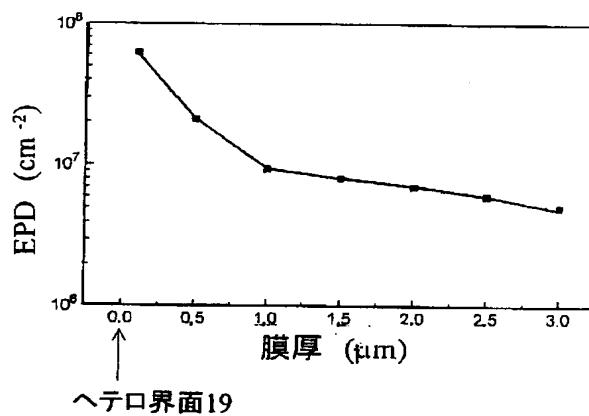
【図2】



【図3】



【図4】



【図5】

